

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-235366

(43)Date of publication of application : 10.09.1993

(51)Int.Cl. H01L 29/788
H01L 29/792

(21)Application number : 04-221577

(71)Applicant : NATL SEMICONDUCTOR CORP <NS>

(22)Date of filing : 20.08.1992

(72)Inventor : YOON EUSIK
BERGEMONT ALBERT M
KOVACS RONALD F

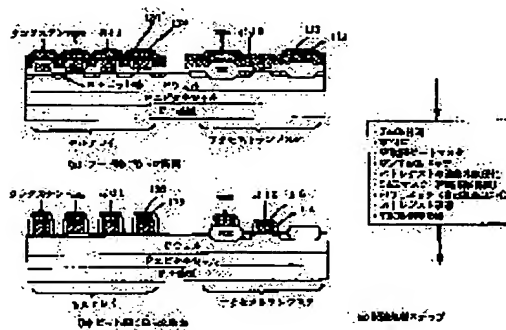
(30)Priority

Priority number : 91 747663 Priority date : 20.08.1991 Priority country : US

(54) SELF-ALIGNED STACKED GATE EPROM CELL USING TANTALUM OXIDE CONTROL GATE INSULATION FILM

(57)Abstract:

PURPOSE: To provide a method for producing a self-aligned stacked EPROM cell, in which a CVD tantalum oxide film is used as a control gate insulating film.

CONSTITUTION: A layer formed of floating gate insulating substance is formed on a semiconductor substrate, a first layer formed of conductive substance is formed thereon, a stripe having exposed side walls that are subject to pattern-formation is made, the insulation substance is allowed to grow on the exposed sidewall, an N-type dopant is introduced between stripes so as to form an N+ bit line, Ta₂O₅ 118 is adhered to the stripes, and a wafer W is adhered thereto as a control gate conductive substance 120.

LEGAL STATUS

[Date of request for examination] 21.08.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3065804

[Date of registration] 12.05.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-235366

(43)公開日 平成5年(1993)9月10日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/788

29/792

H 0 1 L 29/ 78

3 7 1

審査請求 未請求 請求項の数3(全 10 頁)

(21)出願番号 特願平4-221577

(22)出願日 平成4年(1992)8月20日

(31)優先権主張番号 7 4 7 6 6 3

(32)優先日 1991年8月20日

(33)優先権主張国 米国(U S)

(71)出願人 591013469

ナショナル セミコンダクタ コーポレイ
ション

NATIONAL SEMICONDUCTOR CORPORATION

アメリカ合衆国, カリフォルニア 95052,
サンタ クララ, セミコンダクタ ドライ
ブ 2900

(72)発明者 ユイシク ヨーン

アメリカ合衆国, カリフォルニア
94089, サニーベル, モース アベニ
ュー 1063, ナンバー 7-205

(74)代理人 弁理士 小橋 一男 (外1名)

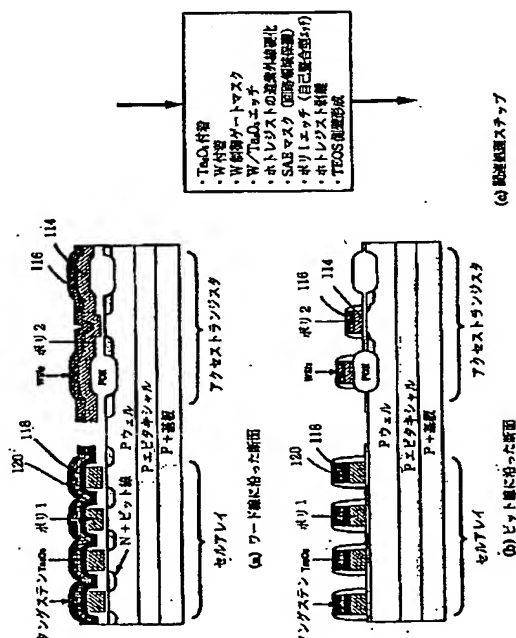
最終頁に続く

(54)【発明の名称】 酸化タンタル制御ゲート絶縁膜を使用する自己整合型積層ゲートE P ROMセル

(57)【要約】 (修正有)

【目的】 制御ゲート絶縁膜としてCVD酸化タンタル膜を使用する自己整合型スタックゲートE P ROMセルを製造する方法の提供。

【構成】 半導体基板上にフローティングゲート絶縁物質の層を形成し、その上に導電性物質の第一層を形成し、これをパターン形成して露出した側壁を有するストライプを画定し、露出側壁上に絶縁物質を成長させ、前記ストライプ間にN型ドーパントを導入してN+ビット線を画定し、ストライプ上にTa₂O₅118を付着させ、その上にWを制御ゲート導電物質120として付着する。



【特許請求の範囲】

【請求項1】 半導体基板にEPROMセルアレイを製造する方法において、

(a) 前記半導体基板の表面上にフローティングゲート絶縁物質からなる層を形成し、

(b) 前記フローティングゲート絶縁物質層上に導電性物質からなる第一層を形成し、

(c) 前記導電性物質からなる第一層をパターン形成して露出された側壁を有する導電性物質のストライプを画定し、

(d) 前記露出した側壁上に絶縁性物質を成長させ、

(e) 前記導電性物質のストライプの間において前記半導体基板内にN型ドーパントを導入してN+ビット線を画定し、

(f) 前記導電性物質のストライプ上に酸化タンタルを付着形成し、

(g) 前記酸化タンタル上に制御ゲート導電性物質を付着形成する、

上記各ステップを有することを特徴とする方法。

【請求項2】 シリコン基板にEPROMセルアレイを製造する方法において、

(a) シリコン基板の表面上にフローティングゲート酸化物の層を形成し、

(b) 前記フローティングゲート酸化物の表面上に第一ポリシリコン層(ポリ1)を形成し、

(c) 前記第一ポリシリコン層の表面上に酸化物/窒化物/酸化物(ONO)層を形成し、

(d) 前記ONO層及びその下側に存在する第一ポリシリコン層をパターン形成して前記フローティングゲート酸化物の表面上に複合ONO/ポリ1のストライプを画定し、

(e) 前記複合ONO/ポリ1ストライプの露出されたポリ1側壁上に熱酸化物を成長させ、

(f) 前記複合ONO/ポリ1ストライプの間において前記シリコン基板内にN型ドーパント物質を導入してN+ビット線を画定し、

(g) 前記N+ビット線に差動酸化物を成長させ、

(h) 前記複合ONO/ポリ1ストライプから前記ONOを剥離してポリ1ストライプを画定し、

(i) 前記ポリ1ストライプ上に酸化タンタルを付着形成し、

(j) 前記酸化タンタル上にタングステンを付着形成する、

上記各ステップを有することを特徴とする方法。

【請求項3】 シリコン基板にセルアレイ領域とアクセストランジスタ領域とを有するEPROMアレイを製造する方法において、

(a) 前記アクセストランジスタ領域内にフィールド酸化物領域を形成して活性デバイス領域を画定し、

(b) 前記セルアレイ領域と前記活性デバイス領域の両

方において前記シリコン基板の表面上にフローティングゲート酸化物からなる層を形成し、

(c) 前記アクセストランジスタ領域内の前記フィールド酸化物領域と前記活性デバイス領域の両方の上及び前記セルアレイ領域内の前記シリコン基板の表面上に第一ポリシリコン層(ポリ1)を形成し、

(d) 前記セルアレイ領域と前記アクセストランジスタ領域の両方において前記ポリ1層の表面上に酸化物/窒化物/酸化物(ONO)層を形成し、

(e) 前記ONO層及び前記ポリ1層をパターン形成して前記セルアレイ領域と前記アクセストランジスタ領域の両方において前記フローティングゲート酸化物の表面上に複合ONO/ポリ1のストライプを画定し、

(f) 前記複合ONO/ポリ1ストライプの露出されたポリ1側壁上に熱酸化物を成長させ、

(g) 前記セルアレイ領域において前記複合ONO/ポリ1ストライプ間において前記シリコン基板内にN型ドーパント物質を導入してN+ビット線を画定し、

(h) 前記N+ビット線に差動酸化物を成長させ、

(i) 前記セルアレイ領域上に保護アレイマスクを形成し、

(j) 前記アクセストランジスタ領域における複合ONO/ポリ1ストライプ及びフローティングゲート酸化物を除去して前記活性デバイス領域におけるシリコン基板を露出させ、

(k) 前記活性デバイス領域内に熱ゲート酸化膜を形成し、

(l) 前記セルアレイ領域と前記アクセストランジスタ領域の両方において第二ポリシリコン層を形成し、

(m) 前記セルアレイ領域と前記アクセストランジスタ領域の両方において前記第二ポリシリコン層(ポリ2)上に金属シリサイド層を形成し、

(n) 前記アクセストランジスタにおける前記金属シリサイド層及びポリ2層をパターン形成して前記活性デバイス領域におけるゲート酸化膜上にシリサイド化ポリ2アクセストランジスタゲートを画定し、

(o) 前記アクセストランジスタゲートに隣接してソース領域及びドレイン領域を画定してアクセストランジスタを画定し、

(p) 前記セルアレイ領域におけるONO/ポリ1ストライプから前記金属シリサイド、ポリ2及びONOを除去してポリ1ストライプを画定し、

(q) 前記ポリ1ストライプ上に酸化タンタルを付着形成し、

(r) 前記酸化タンタル上にタングステンを付着形成する、

上記各ステップを有することを特徴とする方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は消去可能書込み可能リー

ドオンリーメモリ（EPROM）セル構成体に関するものであって、更に詳細には、制御ゲート絶縁膜として従来の酸化物-窒化物-酸化物（ONO）複合体酸化タンタルを置換させた高集積度EPROMセルに関するものである。

【0002】

【従来の技術】従来、EPROMメモリ寸法を減少させる方向は、業界スタンダードのTセル構成体を使用することにより光学的リソグラフィ及びプラズマエッチングの限界を突き詰めることに集中されている。しかしながら、この様なアプローチは、例えばトレンチ分離技術や局所的相互接続などの複雑な技術を必要とする。

【0003】自己整合型サブミクロンセル構成体は、最近、マルチメガビット高集積度EPROMに対して導入されている。この様なセルの一例は以下の文献に開示されている。即ち、(1) A. T. Mitchell et al. 著「超高集積度EPROM用の新規な自己整合型プレーナアレイセル（A New Self-Aligned Planar Array Cell for UltraHigh Density EPROMs）」、IEDMテクニカルダイジェスト、pp. 548-551, 1987、(2) O. Belleza et al. 著「マルチメガビットEPROMs用の新規な自己整合型フィールド酸化膜（A New Self-Aligned Field Oxide for Multimegabit EPROMs）」、IEDMテクニカルダイジェスト、pp. 579-582, 1989、及び(3) A. Bergemont et al. 著「サブミクロン16メガEPROM用の高性能CMOSプロセス（A High Performance CMOS Process for Submicron 16 Meg EPROM）」、IEDMテクニカルダイジェスト、pp. 591-594, 1989である。

【0004】これらの構成体は、小さな幾何学的形状における16メガEPROMセルの実現可能性を証明しているが、Mitchell et al. の文献におけるアレイにおいてのビット線の平坦化及びBelleza et al. の文献及びBergemont et al. の文献に記載されている両方のアレイにおけるバードピーク分離の減少は、さらなる縮小をする場合の主要な問題として残存している。

【0005】これらの問題に対処するために、Bergemontの文献では、16メガEPROM仮想接地アレイ内での集積化のための自己整合型積層エッチクロス

or Cross Point EPROM Cell with Internal Access Transistor)」、1991年4月18日付で出願した本願出願人に譲渡されている米国特許出願第687, 176号に記載されている。

【0006】しかしながら、16メガビットの集積度を超えると、現在の酸化物-窒化物-酸化物（ONO）制御ゲート絶縁層は、結合比が低く且つそれを横断して導入される臨界的な電界が高いので、適切にスケールダウンさせることは不可能である。従って、64メガ集積度レベルにおける高集積度メモリに対する処理の流れを開発することが必要であり、且つ、それを超える場合には、従来のONO層を置換させるための高絶縁物質を使用することが必要である。

【0007】最近、酸化タンタルはその誘電定数が高く（即ち、二酸化シリコンのものよりも4乃至5倍程度高い）及びその絶縁強度が高いので、高集積度DRAM適用に対する将来性のある絶縁膜として広範囲に研究が行なわれている。例えば、S. Zaima et al. 著「ULSI適用用のLPCVDによるTa₂O₅膜の調製及び特性（Preparation and Properties of Ta₂O₅ Films by LPCVD for ULSI Application）」、ジャーナル・エレクトロケミカル・ソサエティ、Vol. 137, No. 4, pp. 1297-1300, 1990年4月、及びH. Shinriki et al. 著「UV-03及びドライO₂: 64-Mb DRAMの格納絶縁体用の2ステップアニール化学蒸着Ta₂O₅膜（UV-03 and Dry O₂: Two-Step Annealed Chemical Vapor-Deposited Ta₂O₅ Films for Storage Dielectrics of 64-Mb DRAM's）」、IEEEトランザクションズ・オン・エレクトロン・デバイシーズ、Vol. 38, No. 8, pp. 455-462, 1991年3月の文献を参照するとよい。

【0008】図1及び2は公知のクロスポイントEPROMセル構成体のレイアウト及び等価回路をそれぞれ示している。図1及び2に示したセル構成体に対する改良した処理の流れは、上述したBergemontの発明による米国特許出願第687, 176に記載されている発明である。このBergemontのプロセスは、侵略的な技術を使用することなしに高集積度のEPROMを集積化している。基本的なBergemontの処理の流れにおいては、スタックエッチ（stacked etch）を使用し、従ってフローティングゲートの端部はワード線に対して自己整合される。このことは、寄生ポリ2トランジスタが発生することを除去し、且つ例えば、特別のボロンアレイフィールド注入及び分離酸化物に対する条件などの図1及び2のアレイにおいて使

用されるアプローチにおいて本質的な問題に対処するために必要とされる全てのステップを除去している。

【0009】しかしながら、BergemontのプロセスはONO制御ゲート絶縁膜を使用するので、それは、64メガ集積度レベル及びそれ以上においては容易に集積化させることは不可能である。それは、従来のONO層が高集積度EPROMセルの書き込み及び読取りをするために必要とされる適度の結合比で十分な絶縁強度を与えるものではないという事実に起因するものである。更に、Bergemontプロセスに関して、ONO絶縁層がN+ビット線注入に露呈され、そのことは、絶縁体の信頼性を劣化させる場合がある。

【0010】図1及び2のプロセスはポリシリコン及び窒化物キャップを使用することによりN+ビット線注入期間中にONOを保護するものであるが、それはかなり複雑なプロセスであり且つポリ1の2度の画定を必要とする。更に、ポリシリサイド線の抵抗値が高いので、速度が低速となる。

【0011】

【課題を解決するための手段】本発明は、従来のONO複合膜の代わりに制御ゲート絶縁膜として化学蒸着(CVD)酸化タンタル膜を使用する自己整合型スタックト(即ち、積層)ゲートEPROMセルを製造する処理の流れを提供している。本処理の流れの絶縁層付着及びセル画定ステップの両方ともバックエンドモジュールにおいて実施される。この処理のこの段階におけるこれらのステップの実施は、30分を超える高温サイクル(>1000℃)の後に酸化タンタルの絶縁強度が劣化するので、重要なことである。又、450℃以下での低温膜付着は、周辺装置に与える影響は無視可能なものである。酸化タンタルを使用することは、更に、制御ゲートに対しタングステンを使用することを可能とし、そのことはデバイスのアクセス時間を改善する。

【0012】

【実施例】図3はONO制御ゲート絶縁膜を使用するEPROMセルアレイに対する従来の処理の流れと比較し、Ta₂O₅制御ゲート絶縁膜を使用するEPROMセルアレイ用の本発明に基づく処理の流れを示している。図3の表に示した如く、本発明プロセスにおいては、制御ゲート絶縁膜付着及びセル画定ステップは、周辺のCMOS回路処理ステップを完了した後に実施される。本発明プロセスは、従来のプロセスと比較して二つの付加的なマスクングステップを必要としており、即ち、セル領域内のポリ2/ONOを剥離するステップと、ワード線を別々に画定するためのステップである。

【0013】図4乃至8は、ワード線(即ち、「(A)」断面)及びビット線に沿ってとった本発明プロセスにおける各ステップに対してのアクセストランジスタを有するセルアレイの断面を示している。

【0014】図4を参照すると、フィールド酸化領域1

02を形成した後に、フローティングゲート酸化物層104を熱成長させ、次いでフローティングゲートポリシリコン(ポリ1)の付着及び注入を行なう。次いで、典型的なEPROM装置に対して使用される酸化物-窒化物-酸化物(ONO)からなる複合層をポリ1の上に形成する。このONO層は、ポリ1を後の酸化から保護するものである。次いで、ポリ1マスクがプラズマエッチングによりポリ1/ONOからなるストライプ106を画定する。

【0015】図5に示した如く、ポリ1マスクステップからホトレジストを剥離した後に、熱酸化を実施してポリ1側壁上に酸化物を成長させる。次いで、自己整合型砒素注入を実施してN+ビット線108を画定する。次いで、N+ビット線108上に厚い「差動酸化物」110を成長させて、フローティングゲートポリ1を制御ゲートマスクに対して自己整合すべくプラズマエッチングを行なうSAE(自己整合型エッチ)ステップに対する実質的な許容度を達成する。このポリシリコンエッチング期間中の等価的な酸化物のロス、N+ビット線領域内において許容させることが可能である。N+ビット線における酸化物成長は、注入からの不純物の導入に起因して著しく向上されており、従ってこのステップは「差動酸化」ステップと呼ばれる。

【0016】次に、保護アレイマスクをパターン形成して該アレイ外側のアクセストランジスタ及び周辺トランジスタの領域内のONO/ポリ1106をエッチングする。ONO/ポリ1106をプラズマエッチし、且つ下側に存在するフローティングゲート酸化物104をウェットエッチング(緩衝HF)において除去する。次いで、ホトレジストを剥離する。

【0017】図6を参照すると、フローティングゲートストライプ106を形成した後に、スタンダードのCMOSプロセスを実施する。アクセストランジスタ及び周辺トランジスタの両方に対し熱ゲート酸化膜112を成長させ、次いでスレッシュホールド注入を行なう。ポリシリコンの第二層114(ポリ2)を付着形成し且つ注入を行なう。ドーパントを活性化させた後に、タングステンシリサイド(WSi₂)116をポリ2112の上に形成し、抵抗値を低下させて装置の速度を改善させる。次いで、シリサイド化したポリ2114、116をパターン形成し且つエッチングして、アクセストランジスタと周辺トランジスタの両方に対するゲートを画定する。このマスクステップにおいて、シリサイド化したポリ2114、116はセルアレイ内においてカバーされ、周辺部におけるソース/ドレイン注入及び再酸化からそれを保護する。

【0018】図7を参照すると、アクセストランジスタ及び周辺トランジスタのソース/ドレイン領域をLDDのN及びP注入のために酸化を行なう。LDD注入の後に、LDDスペーサが形成され、且つソース及びドレイ

ン領域を再酸化し、次いでN+及びP+ソース/ドレイン注入を行なう。次いで、ポリ1の上のWSi₂/ポリ2/ONO層をセルアレイにおいてエッチングし且つホトレジストを剥離する。

【0019】図8を参照すると、酸化タンタル絶縁膜118及びタングステン電極物質120を相継いで付着形成する。このプロセスは、現場でのクリーニング、付着及びアニーリングを包含するマルチチャンバクラスタツールにおいて実施することが可能である。酸化タンタル膜は、300乃至500℃において0.2-5トールのチャンバ圧力で低圧化学蒸着(LPCVD)により付着形成させることが可能である。前駆体として、6N純度を越えたタンタルエトキシド又は塩化タンタルを使用することが可能である。反応器チャンバは、蒸発させた前駆体に対する加熱したインレットガスを有する冷壁型単一ウエハ処理モジュールを包含することが可能である。付着後のアニーリングは、酸素雰囲気中において400乃至800℃において実施することが可能である。次いで、化学蒸着又はスパッタリングによりタングステンを付着形成し、次いで金属制御ゲート画定（これが、従来のプロセスと比較して唯一付け加えられるエキストラなマスクである）を実施する。

【0020】パターン形成した後に、タングステンと酸化タンタルの両方をプラズマでエッチングする。このエッチングの後に、ホトレジストを剥離する。その代わりに、遠紫外線を使用してホトレジストを硬化させる。次いで、既存のホトレジストの上にホトレジストの第二層をスピノンさせ、且つパターン形成して、SAEマスクを使用することによりアクセストランジスタ及び周辺トランジスタの領域を保護し、次いで自己整合型ポリ1エッチングを行なう。このエッチングプロセス期間中、露出されたN+ビット線もエッチングされる。しかしながら、本プロセスの初期段階において形成された厚い差動酸化物がN+ビット線が過剰にエッチングされることを防止し、酸化物エッチング比に対するポリシリコンの高い選択性のために酸化物のロスは許容可能なものである。次いで、ホトレジストを剥離し、且つTEOS側壁

形成を行なって、メモリセルの側壁を介して存在しうるリーク電流を最小とさせる。その他の残りのプロセスはBPSGリフロー及び典型的な最終的なバックエンド（後端）のメタリゼーションである。

05 【0021】以上、本発明の具体的実施の態様について詳細に説明したが、本発明は、これら具体例にのみ限定されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形が可能であることは勿論である。

10 【図面の簡単な説明】

【図1】 公知のクロスポイントセル構成体を示したレイアウト図。

【図2】 図1に示したクロスポイントセル構成体に対する等価回路を示した概略図。

15 【図3】 本発明に基づく処理の流れと従来の処理の流れとの間の比較を示した説明図。

【図4】 本発明に基づく処理の流れの各段階における状態を示した説明図。

20 【図5】 本発明に基づく処理の流れの各段階における状態を示した説明図。

【図6】 本発明に基づく処理の流れの各段階における状態を示した説明図。

【図7】 本発明に基づく処理の流れの各段階における状態を示した説明図。

25 【図8】 本発明に基づく処理の流れの各段階における状態を示した説明図。

【符号の説明】

102 フィールド酸化領域

104 フローティングゲート酸化物層

30 108 N+ビット線

110 差動酸化物

112 熱ゲート酸化膜

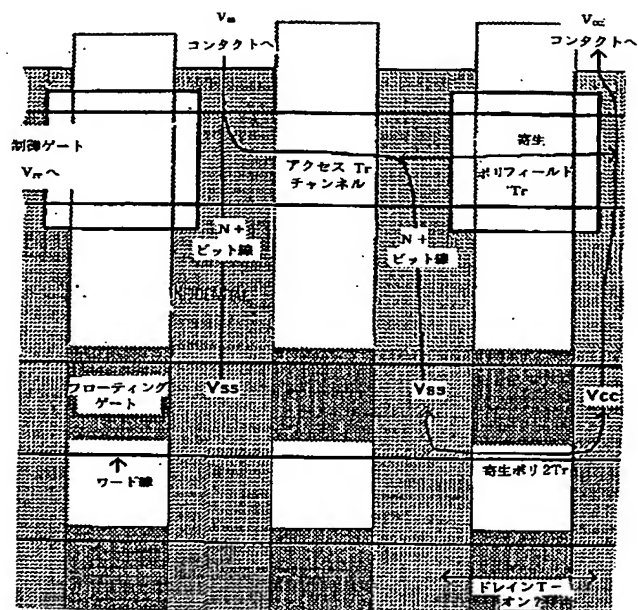
114 第二ポリシリコン層（ポリ2）

116 タングステンシリサイド（WSi₂）

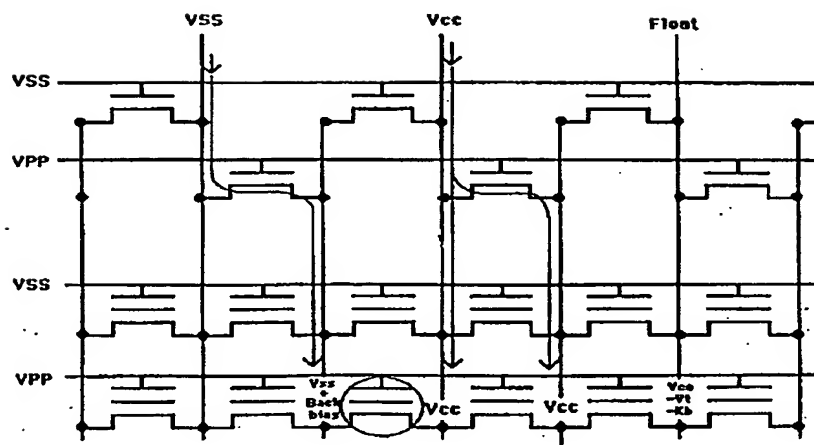
35 118 酸化タンタル絶縁膜

120 タングステン電極物質

【図1】



【図2】



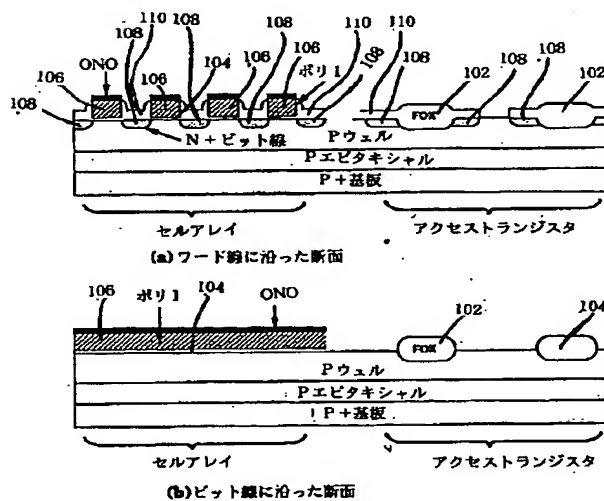
【図3】

16M EPROMプロセス (ONO 制御ゲート)	64M EPROMプロセス (Ta ₂ O ₅ 制御ゲート)
ツインウエル注入 フィールド酸化	ツインウエル注入 フィールド酸化
*フローティングゲート酸化 *ポリ1付着 *ONO付着 *ONO/ポリ1パターニング *N+ビット線注入 *差動酸化 *回路領域内のONO/ポリ1のエッチ	*フローティングゲート酸化 *ポリ1付着 *ONO付着 *ONO/ポリ1パターニング *N+ビット線注入 *差動酸化 *回路領域内のONO/ポリ1のエッチ
CMOSゲート酸化 ポリ2付着	CMOSゲート酸化 ポリ2付着
*ポリ2パターニング (セル及び回路) *自己整合型エッチパターン *ONO/ポリ1エッチ (フローティングゲート)	*ポリ2パターニング (回路のみ) (アレイ中のポリ2の維持)
S/D酸化 LDD n及びp注入 LDD スペース及びS/D再酸化 n+及びp+注入 BPSG 付着/リフロー	S/D酸化 LDD n及びp注入 LDD スペース及びS/D再酸化 n+及びp+注入
コンタクトパターン メタル1 SOG平坦化 ビアエッチ メタル2 パッシベーション パッドエッチ	*回路保護パターン *セル領域内ポリ2/ONO剥離 *Ta ₂ O ₅ 付着 *W制御ゲート付着 *W/Ta ₂ O ₅ パターニング *自己整合型ポリ1エッチ (フローティングゲート) *TEOS スペース形成 *BPSG 付着/RTP リフロー
スタンダードCMOSプロセス * EPROM モジュールプロセス	コンタクトパターン メタル1 SOG平坦化 ビアエッチ メタル2 パッシベーション パッドエッチ

[illegible]

- ・70-ティンダート酸化膜200Å
- ・ポリ1付着 1500 Å
- ・ポリ1注入 $P, 10^{18}, 30keV$
- ・底部酸化膜 110 Å
- ・窒化膜 100 Å
- ・上部酸化膜 50 Å
- ・ポリ1マスキ
- ・ONO/ポリ1エッチ
- ・ホトレジスト剝離

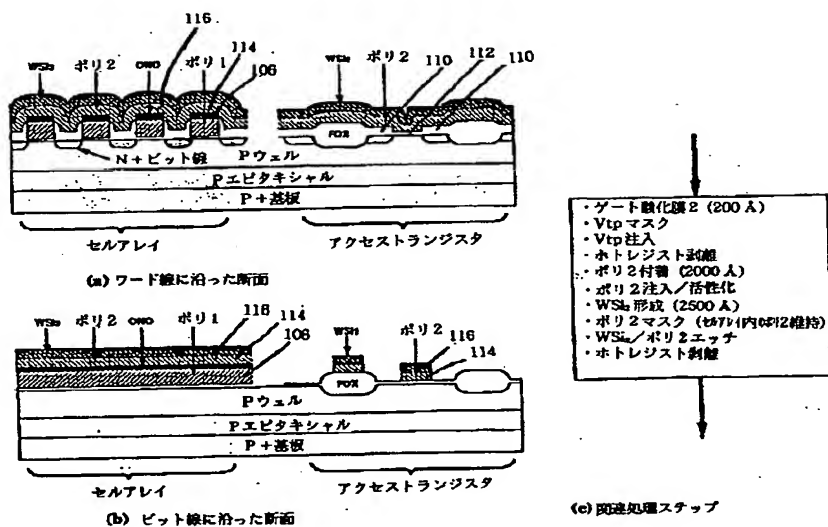
【図 5】



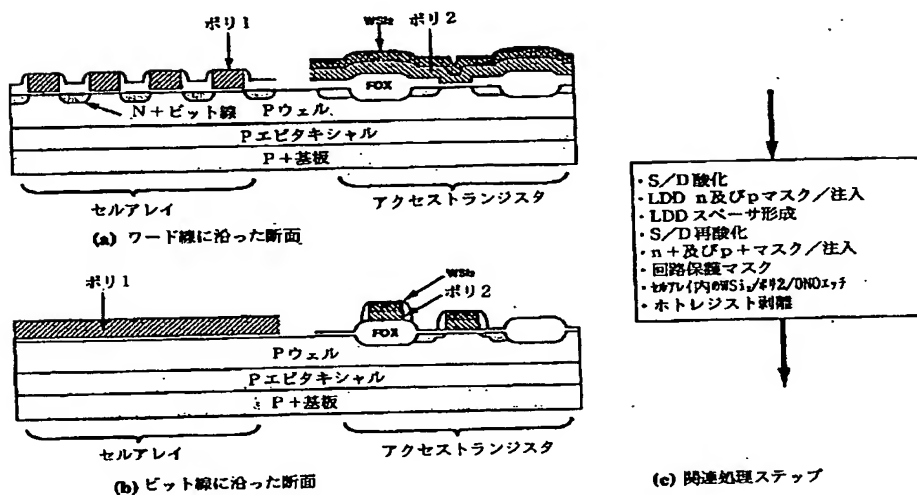
- ・端部酸化
- ・N+ビット線注入
- ・差動酸化
- ・アレイマスク保護
- ・ONO/ポリ1エッチ
- ・ゲート酸化膜1エッチ
- ・ホトレジスト剥離

(c) 関連処理ステップ

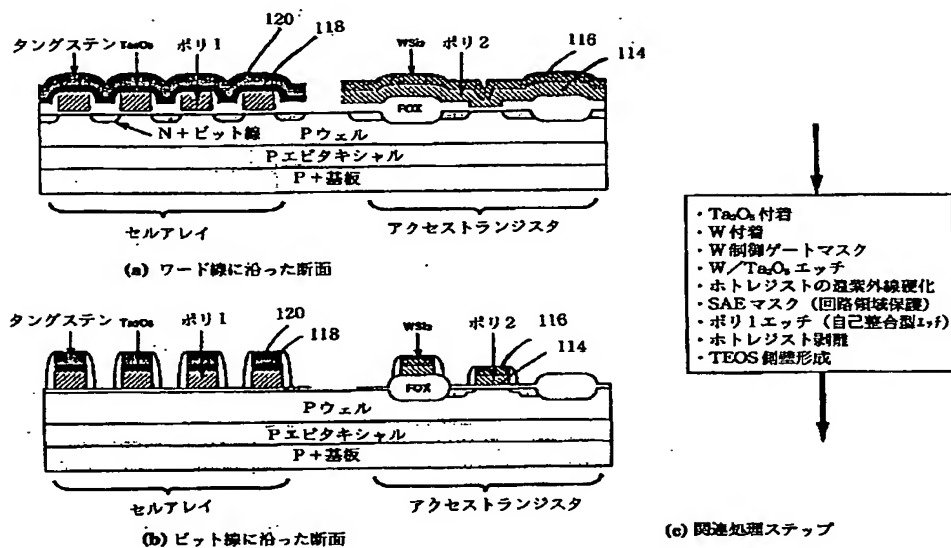
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 アルバート エム. パージモント
アメリカ合衆国, カリフォルニア
95129, サン ノゼ, キャッスル グ
レン アベニュー 5512

(72)発明者 ロナルド エフ. コバックス
アメリカ合衆国, カリフォルニア
94040, マウンテン ビュー, ビラヌ
ーバ コート 147